

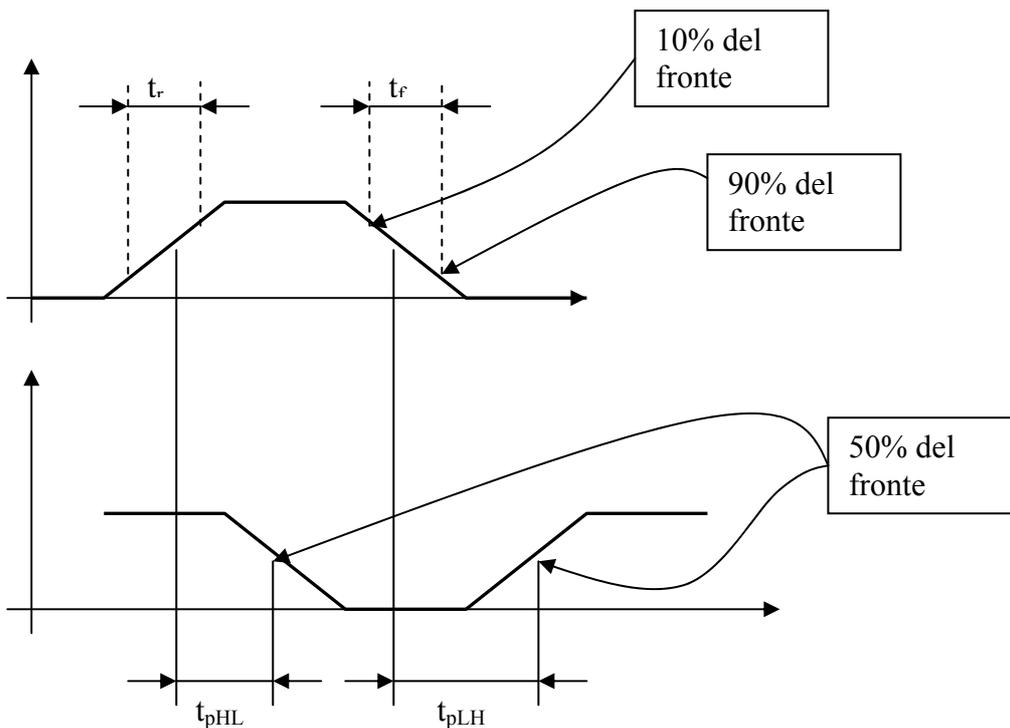
Ecco i miei appunti di Elettronica 2 (li potete usare dopo aver studiato per ripassare) (26/04/'09)

ALEE STATICHE:

- di tipo 0 se ci sono degli 1 adiacenti non raggruppati
- di tipo 1 se ci sono degli 0 adiacenti non raggruppati

Si deve vedere se si ha alea in transizione 0 -> 1 o 1 -> 0 , ragionando con tempi di propagazione su circuito, supponendo che ogni porta provochi lo stesso ritardo ($\Delta t = t_p$)

TEMPO DI PROPAGAZIONE t_p



Vi spiego cosa ho disegnato: il grafico di sopra è il segnale d'ingresso, mentre quello di sotto è quello di uscita da una porta NOT. Ecco il significato dei vari simboli:

t_r = tempo di salita

t_f = tempo di discesa

t_{pHL} = tempo di propagazione da alto a basso del segnale di uscita

t_{pLH} = tempo di propagazione da basso a alto del segnale di uscita

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = \text{tempo di propagazione della porta logica}$$

DECODIFICATORE

Rileva la presenza di una specifica combinazione in input e ne indica la presenza in OUTPUT

Vi sono diversi tipi di decodificatore e i più diffusi sono:

- BCD -> GRAY
- BCD -> 7 SEGMENTI
- BCD - DECIMALE

CODIFICATORE : Convertono variabili di ingresso in un opportuno codice d'uscita
I più diffusi sono:

- 4 -> 2
- 8 -> 3
- CON PRIORITA'

MULTIPLEXER:

Seleziona uscita voluta, ha 2^n ingressi, 1 uscita e n linee di selezione

DEMULTIPLEXER:

Ha 1 ingresso, 2^m uscite e m linee di selezione

Le altre cose da vedere sulle dispense prima di continuare sono:

COMPARATORI (EXOR, EXNOR)

SOMMATORI (HALF ADDER e FULL ADDER)

PARITA' PER RILEVAZIONE DI ERRORI

POTENZA DISSIPATA STATICA

$$P_{DS} = \frac{V_{DD} * I_{CC L} + V_{DD} * I_{CC H}}{2}$$

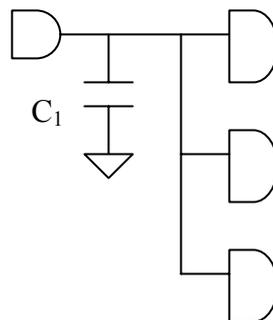
POTENZA DISSIPATA DINAMICA

$$P_{DD} = V_{CC}^2 * f_{OUT} * C_L$$

Dove f_{OUT} è la frequenza del segnale in uscita dalla porta logica

C_L è la capacità totale che si vede in uscita dalla porta logica (somma di tutte le capacità di ingresso (se ne considera una per ogni porta collegata) + la capacità indicata su ogni ramo)

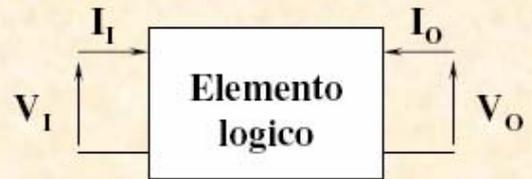
Spiego meglio C_L : Se abbiamo



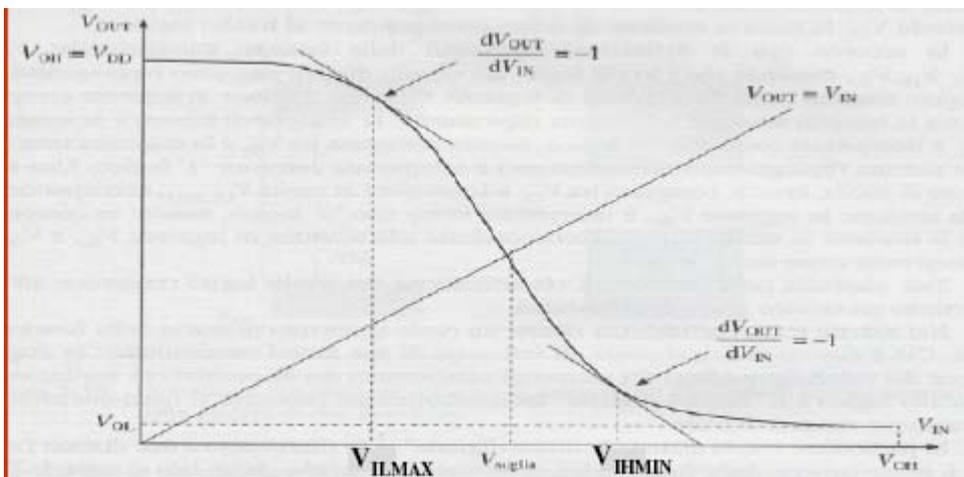
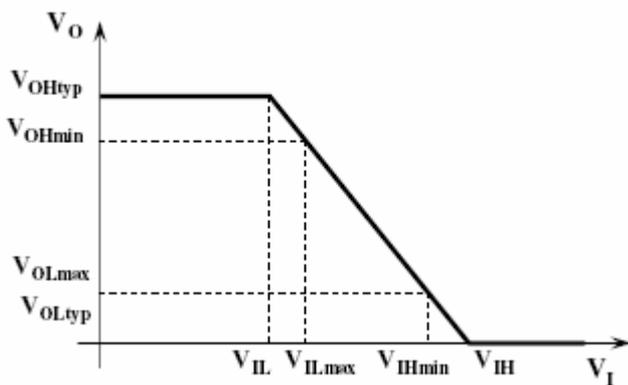
Qui $C_L = 3 * C_{in} + C_1$

TENSIONE e CORRENTE DI UN ELEMENTO:

Un generico elemento logico può essere rappresentato come un quadripolo in cui è possibile riconoscere:



- Tensione d'ingresso V_I positiva se la freccia è verso l'alto;
- Tensione di uscita V_O positiva se la freccia è verso l'alto;
- Corrente d'ingresso I_I convenzionalmente positiva se entrante;
- Corrente di uscita I_O convenzionalmente positiva se entrante.

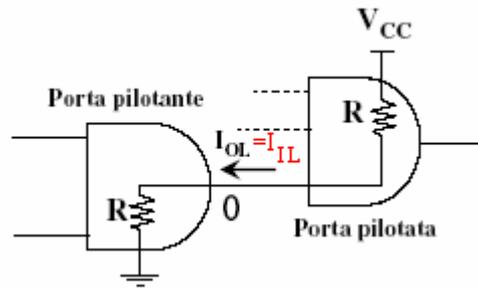
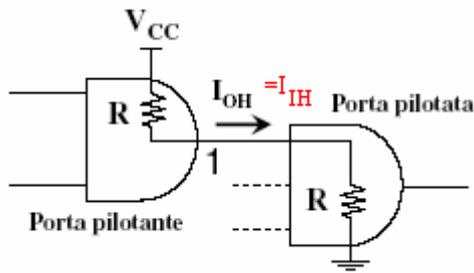


I_{IH} = corrente che fluisce in un ingresso quando una specificata tensione di livello alto è applicata a quell'ingresso

I_{IL} = corrente che fluisce in un ingresso quando una specificata tensione di livello basso è applicata a quell'ingresso

I_{OH} = corrente che fluisce da un'uscita nello stato logico 1 in condizioni di carico specificate

I_{OL} = corrente che fluisce da un'uscita nello stato logico 0 in condizioni di carico specificate



Da questi disegni si capisce che

I_{IH} è positiva

I_{IL} è negativa

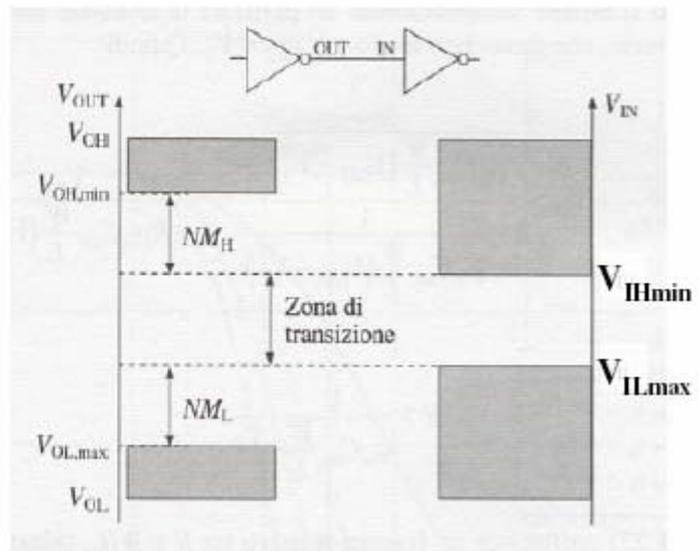
I_{OH} è negativa

I_{OL} è positiva

MARGINE DI RUMORE

$$\underline{NM_H} = V_{OH, \min} - V_{IH \min}$$

$$\underline{NM_L} = V_{IL \max} - V_{OL \max}$$



FAN-OUT di una porta logica è il NUMERO MASSIMO di PORTE che può pilotare senza che la tensione salga (o scenda) sopra (o sotto) la soglia consentita $V_{OL \min}$ (o $V_{OL \min}$)

$$F.O.H = \frac{|I_{OH \max}|}{I_{IH \max}}$$

$$F.O.L = \frac{I_{OL \max}}{|I_{IL \max}|}$$

Si prende il più piccolo dei 2

Duty - Cycle

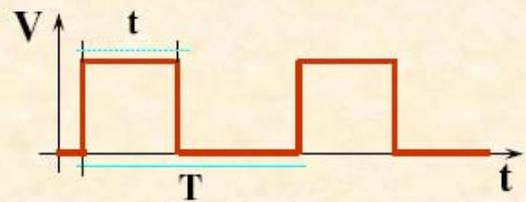
Consideriamo una forma d'onda rettangolare, che per semplicità abbia tempi di salita e di discesa nulli.

E' possibile definire:

- **periodo T** , rappresenta la ripetitività della forma d'onda $T=1/f$

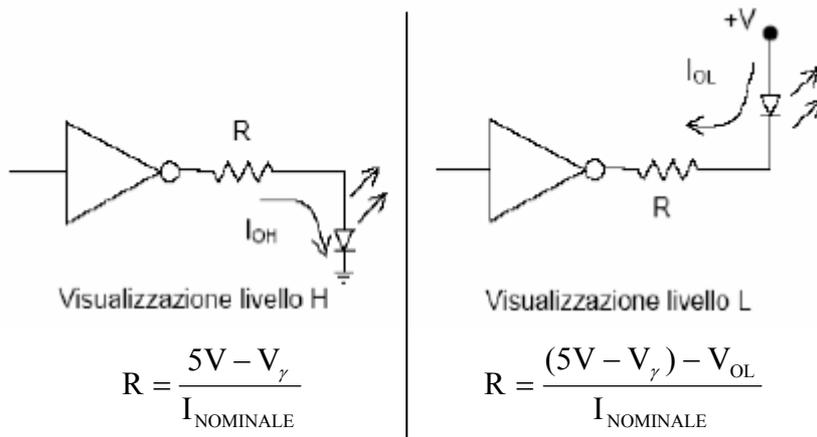
- **durata dell'impulso t** (segnale digitale a livello logico alto)

- **D duty-cycle**, rapporto percentuale tra la durata dell'impulso t ed il periodo T .



$$D\% = \frac{t}{T} \cdot 100$$

COME INTERFACCIARE UN LED con una porta logica



FAMIGLIA TTL

$$V_{IHmin} = 2V$$

$$V_{ILmax} = 0,8V$$

$$V_{OHmin} = 2,4V$$

$$V_{OLmax} = 0,4V$$

$$V_{OHtyp} = 3,6V$$

$$V_{OLtyp} = 0,2V$$

$$I_{IL} = 1,6 \text{ mA}$$

$$I_{OL} = 16 \text{ mA}$$

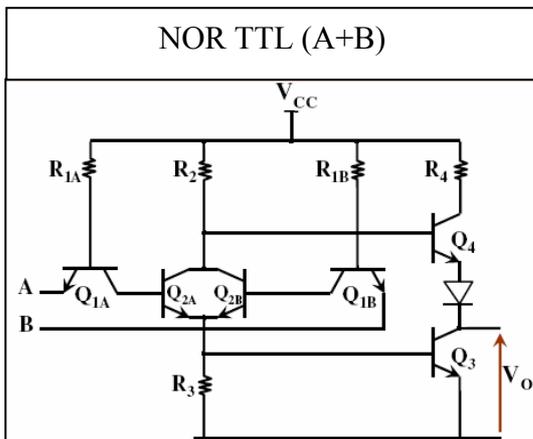
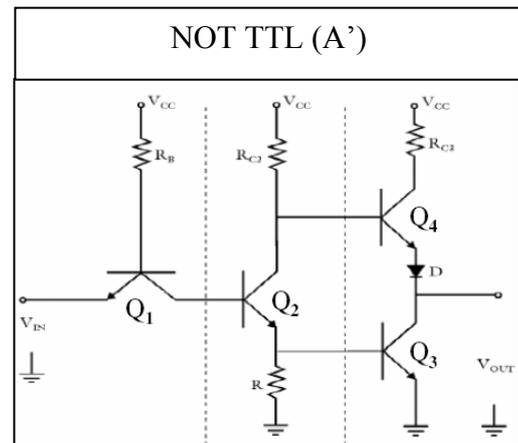
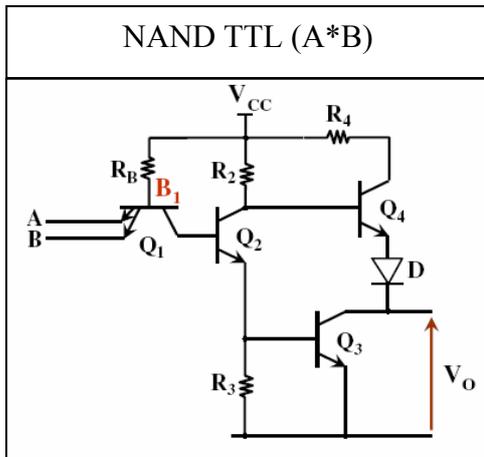
$$I_{IH} = 40 \mu A$$

$$I_{OH} = 400 \mu A$$

$$f_{OUTL} = \frac{16 \text{ mA}}{1,6 \text{ mA}}$$

$$f_{OUTH} = \frac{400 \mu A}{40 \mu A}$$

Nella famiglia TTL ogni ingresso non connesso si comporta da 1 logico

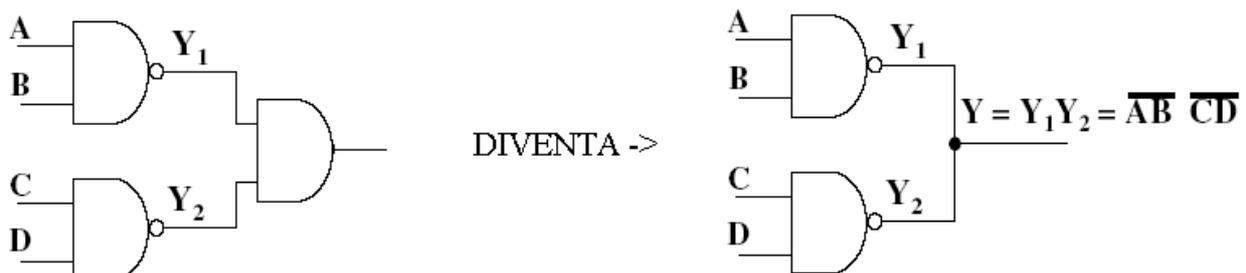


Abbiamo detto che s'è un numero massimo di ingressi pilotabili e si vede con il fan out.

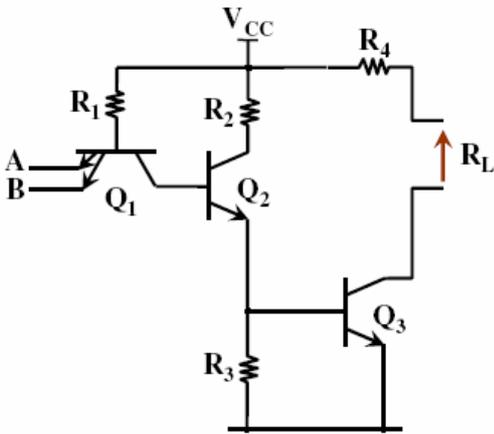
Per TUTTE le porte TTL se 2 ingressi sono COLLEGATI INSIEME valgono come 2 carichi capacitivi, mentre per la porta NAND TTL, se gli ingressi valgono entrambi 0 (stato basso) allora valgono come 1 UNICO carico.

WIRED AND (o AND UNIFILARE)

Si collegano direttamente i 2 segnali



Questo però si può fare in tutti i casi eccetto con la logica TTL.
 Per poter utilizzare questo metodo con la TTL esistono le logiche OPEN COLLECTOR che prevedono una resistenza R_L al posto del transistor Q_L e del diodo D :

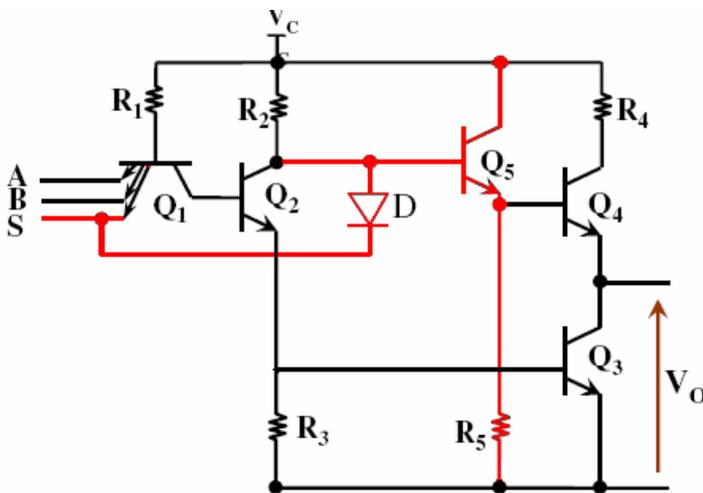


Se:

- R_L è piccola -> maggiore dissipazione, buona velocità e meno fan out
- R_L è grande -> minore dissipazione, minore velocità e migliore fan out

NAND TTL 3 state

Aggiungiamo Q_5 , D e il segnale S



TRANSISTOR MOS

$$V_{OHmin} = V_{ILmax} = V_{DD}/2$$

$$NM_H = NM_L = 50\% * V_{DD}$$

Per i CMOS:

$$V_{OHtyp} = V_{DD}$$

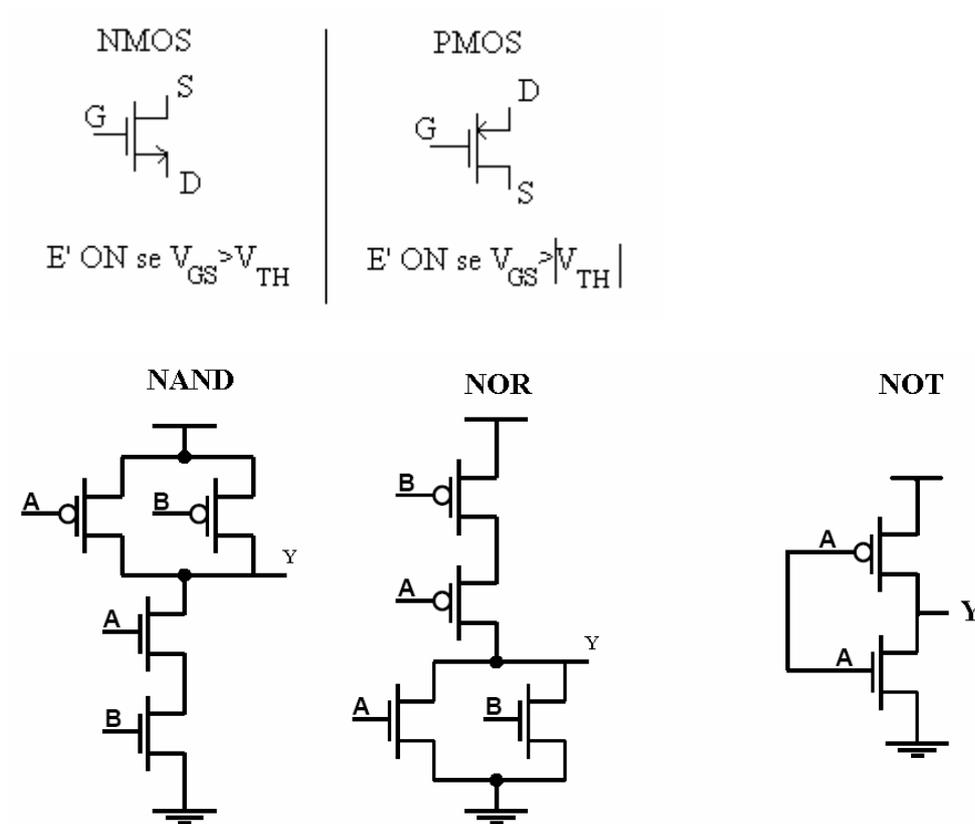
$$V_{OLtyp} = 0$$

Per gli NMOS:

$$V_{OHtyp} = V_{DD} - V_{TH}$$

$V_{OLtyp} = 0,3$ e dipende dal carico attivo

POTENZA STATICA = 0



DIMENSIONAMENTO DEI MOS

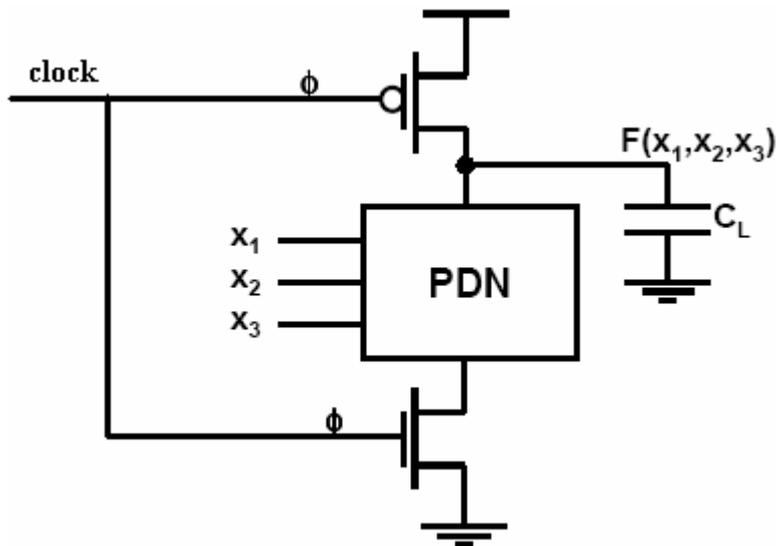
k MOS in SERIE con $W=W_0$ ed $L=L_{min}$ sono equivalenti ad 1 MOS con $W= W_0/k$ quindi nel dimensionare il circuito assegneremo per ogni transistor $W=kW_0$

Quindi se prof ci dà $W/L=4/1$ assegneremo ad ogni transistor $W/L=8/1$

k MOS in PARALLELO con $W=W_0$ ed $L=L_{min}$ sono equivalenti ad 1 MOS con $W= W_0*k$ quindi nel dimensionare il circuito potremmo assegnare per ogni transistor $W=W_0/k$ ma per sicurezza assegnamo $W= W_0$

LOGICHE DINAMICHE

Si fa in modo, con un condensatore e un segnale di clock, di eliminare la potenza statica con uscita 0 e di minimizzare il tempo di propagazione.

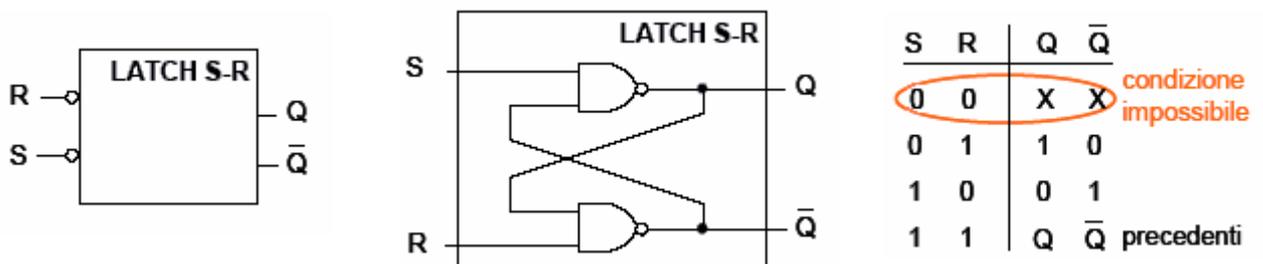


In pratica si parte con clock=0 e quindi si carica il condensatore C_L . Poi con clock=1 si legge l'uscita. Quindi C'è una fase di

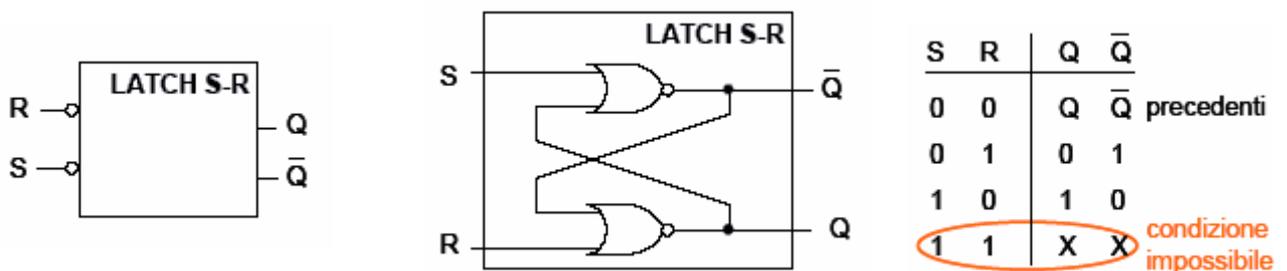
- PRECARICA e una di
- VALUTAZIONE

FLIP FLOP

LATCH NAND (set e reset attivi bassi)

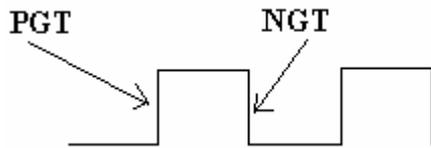


LATCH NOR (set e reset attivi alti)



PGT = POSITIVE GOING TRANSITION

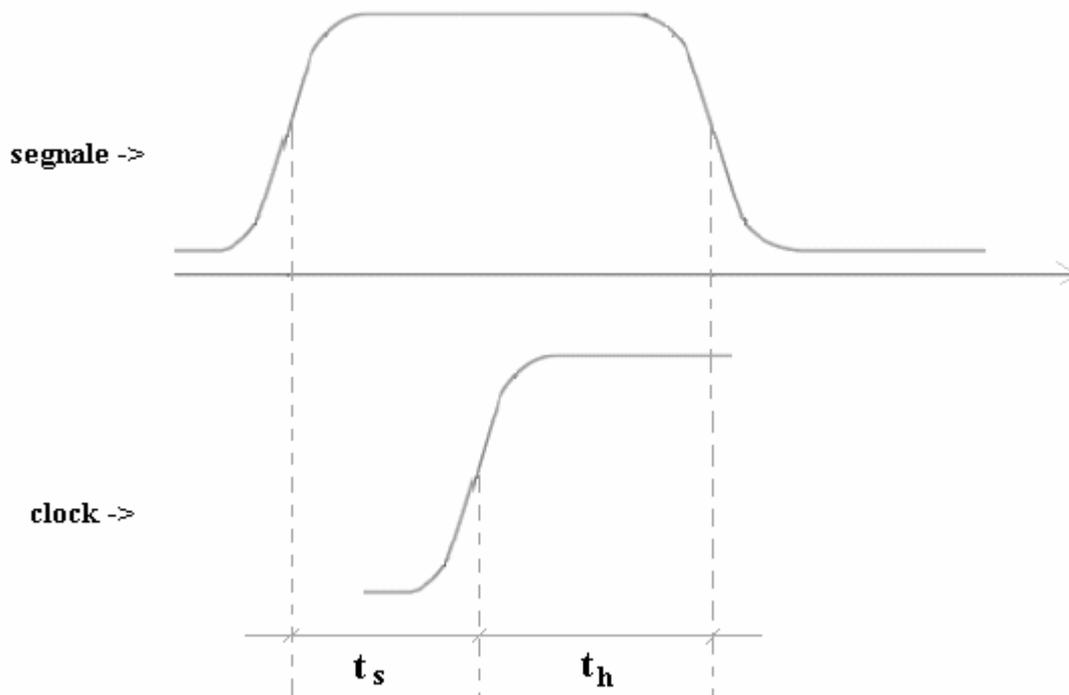
NGT = NEGATIVE GOING TRANSITION



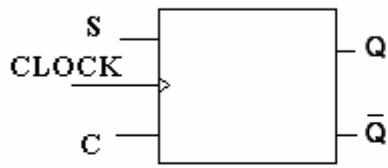
Perché un FF CADENZATO risponda correttamente quando si presenta una transizione attiva del clock, gli ingressi devono essere STABILI per:

t_s = TEMPO DI PREDISPOSIZIONE prima della transizione

t_h = TEMPO DI MANTENIMENTO dopo la transizione



FF SC – CADENZATO

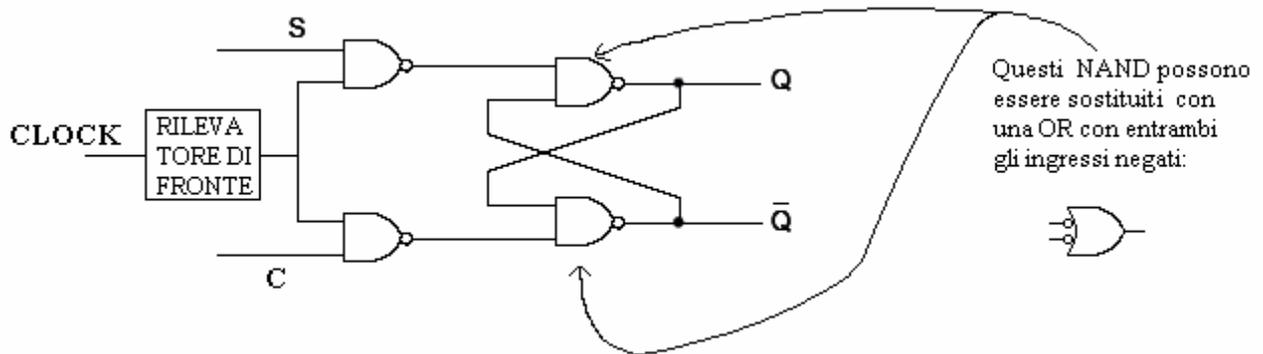


S	C	CLOCK	Q
0	0	↑	Q ₀ inmutata
0	1	↑	0
1	0	↑	1
1	1	↑	X condizione impossibile

Set e Clear sono attive alte

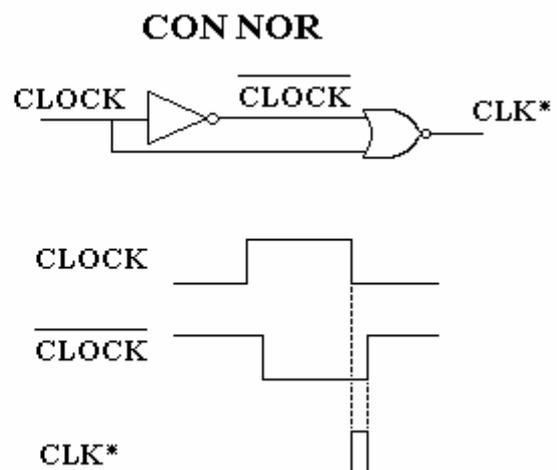
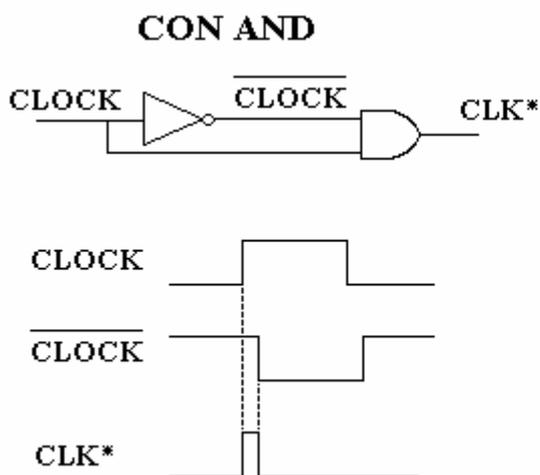
Se davanti al CLOCK ci fosse stato il cercholino allora la commutazione avverrebbe sul fronte di discesa

All'interno è fatto così:

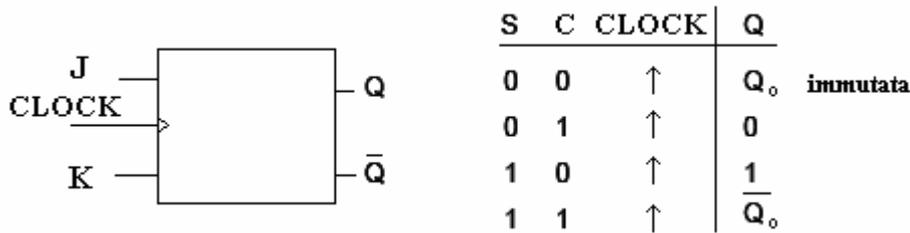


RILEVATORE DI FRONTE

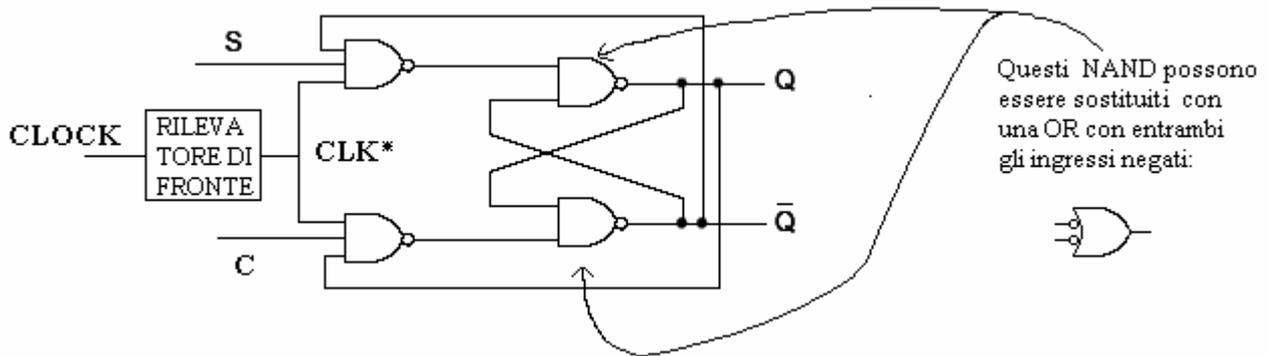
Il rilevatore di fronte produce un IMPULSO STRETTO che avviene in concomitanza con il fronte di transizione attivo del clock



In sostanza sfrutta il ritardo della porta NOT.
 FF JK – CADENZATO

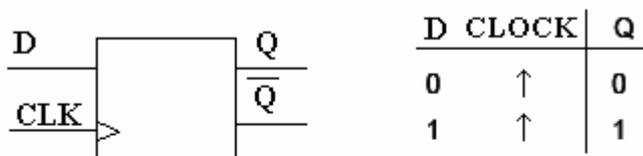


Si suppone, come per altri, che i tempi di predisposizione e di mantenimento siano rispettati.

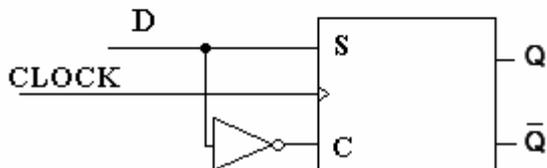


Il CLK* deve essere molto stretto perché deve terminare prima che Q e Q' (Q negato) commutino altrimenti poi si ha una nuova commutazione

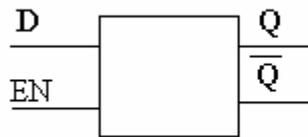
FF D CADENZATO



Si realizza con una NOT e un FF SC

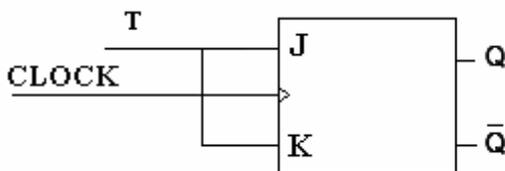


LATCH D (NON CADENZATO)



EN	D	Q
0	X	Q_0 inmutata
1	0	0
1	1	1

FF T (TOGGLE)



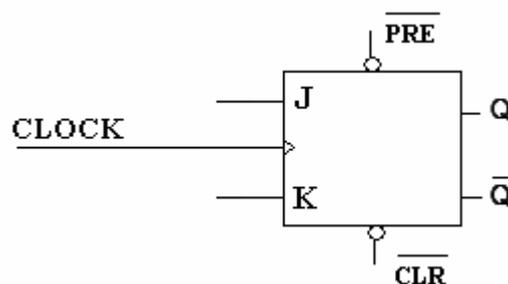
T	CLOCK	Q
0	↑	Q_0
1	↑	$\overline{Q_0}$

Gli ingressi J, K, D, S e C sono detti **INGRESSI SINCRONI**.

Nei flip flop, però, ci sono spesso anche degli ingressi **ASINCRONI**:

- DC SET (o PRE)
 - DC CLEAR (o CLR)
- } Normalmente attivi BASSI

DC SET	DC CLEAR	Risposta del FF
0	0	Non usata
0	1	1
1	0	0
1	1	Funzionamento CADENZATO normale



Se non li utilizziamo non si disegnano.

Altri nomi usati sono:

- DC SET -> PRESET (PRE) -> SET -> S_D (Set Diretto)
- DC CLEAR -> CLEAR (CLR) -> RESET -> C_D (Clear Diretto)

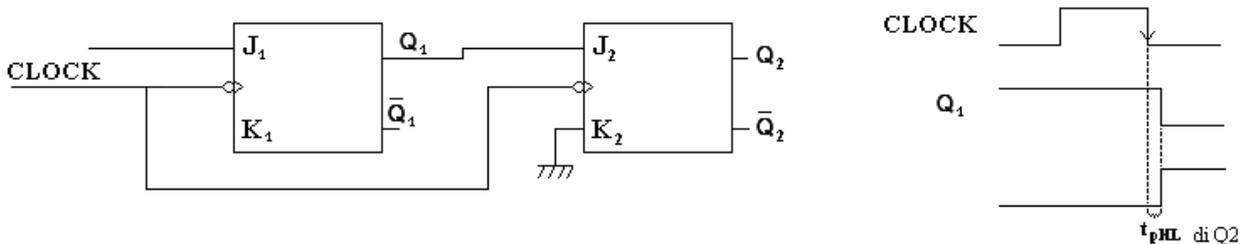
Se non ci sono si assume che siano nello stato **INATTIVO (ALTO)**

Per i flip flop vengono indicati:

- t_p = tempo di propagazione (tempo che passa da quando applico segnale e trovo uscita (sempre tra 50% e 50%))
- f_{max} = frequenza massima del clock che garantisce un comportamento affidabile
- $t_w(L)$ = tempo per cui CLK deve restare BASSO prima di tornare alto
- $t_w(H)$ = tempo per cui CLK deve restare ALTO prima di tornare basso
- DURATA dell'impulso asincrono = durata minima per cui PRESET o CLEAR deve rimanere attivo per pilotare affidabilmente il FF
- TEMPO DI TRANSIZIONE del CLOCK: deve essere molto piccolo altrimenti si rischia di avere effetti indesiderati

PROBLEMI POTENZIALI di TEMPORIZZAZIONE quando ci sono più flip flop in cascata:

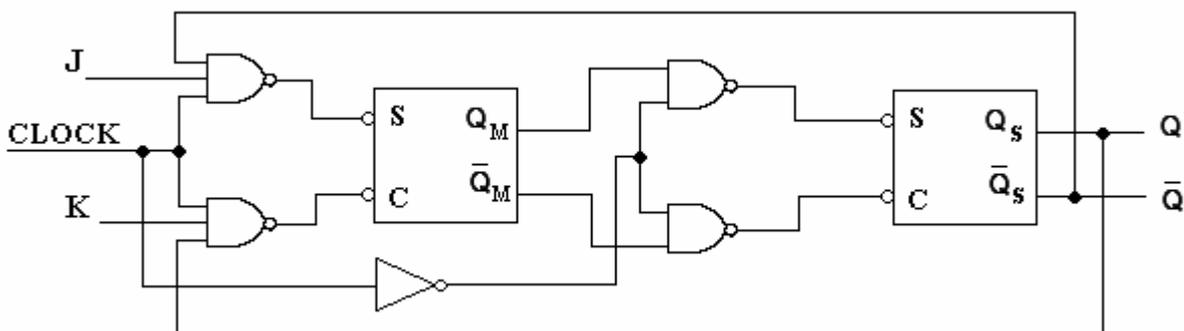
L'uscita del FF acquisirà uno stato determinato dai livelli logici presenti sui suoi ingressi di controllo sincroni IMMEDIAMENTE PRIMA della transizione attiva del clock



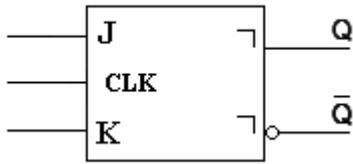
FF MASTER – SLAVE

Si usavano soprattutto quando c'erano problemi di temporizzazione (tempo di predisposizione e tempo di mantenimento (vedi pag 11))

Il master starà attivo quando lo slave è disattivo e invece lo slave si attiva solo dopo che il master ha impostato i dati sulle sue uscite (Q_M e Q_M')



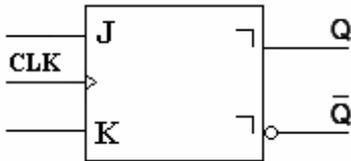
E si indica così:



CLK non ha il simbolo ∇ perché la commutazione non avviene sul fronte del clock (né di salita né di uscita).

Il simbolo ∇ indica il fatto che gli effetti degli ingressi J e K sul master non raggiungono le uscite finché CLK non diviene basso OVVIAMENTE qui non c'è alcun requisito di tempo di mantenimento.

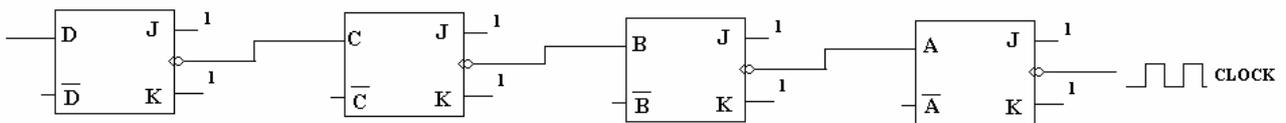
Il MASTER SLAVE è molto soggetto al rumore nel caso in cui $CLK = 1$. Per ovviare a questo vi è una modifica: si fa in modo che la transizione possa avvenire solo per un piccolo istante iniziale per cui $CLK=1$. Tale dispositivo si chiama FF J-K M/S CON ESCLUSIONE DEI DATI ed ha come simbolo il seguente:



Vi rimando al libro per studiare le seguenti cose:

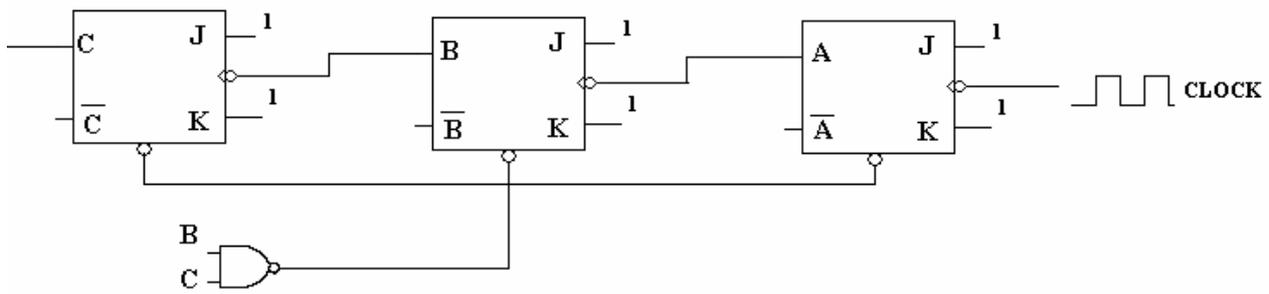
- RILEVAZIONE DI UNA SEQUENZA D'INGRESSO
- MEMORIZZAZIONE e TRASFERIMENTO DI DATI
- REGISTRI A SCORRIMENTO

CONTATORI ASINCRONI



Questo è MOD 16 dove 16 è 2^4 ed è il numero massimo che raggiunge (4 sono i flip flop)
 Quindi: NUMERO DI MOD = 2^N = numero di stati che contatore attraversa

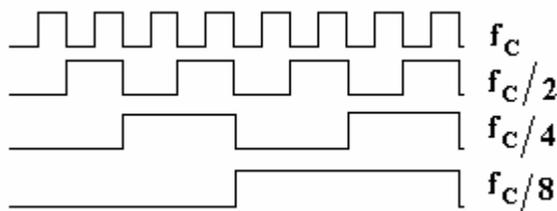
CONTATORI CON NUMERO DI MOD $< 2^N$



Nel disegno qui sopra voglio che arrivi ad 110 escluso, quindi CBA' ma A' non lo metto (vedi spiegazione a pag 18).

In un qualsiasi contatore ASINCRONO l'ultimo FF ha un segnale periodico con frequenza uguale a f_C diviso N dove:

f_C = frequenza del segnale di clock
 N = numero di MOD

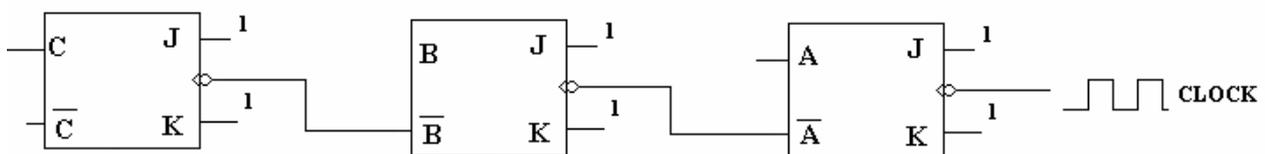


CONTATORE DECADICO = contatore MOD 10 (parte da qualsiasi combinazione e conta 10 (esempio: 3-4-5-6-7-8-9-10-11-12)

CONTATORE BCD = contatore decadici che parte a contare proprio da 0

CONTATORE ALLA ROVESCIA

Basta far commutare i FF invece che sul NGT, sul PGT e per fare questo poniamo sull'ingresso del CLK, tranne nell'LSB (A) l'uscita negata di quello di prima:

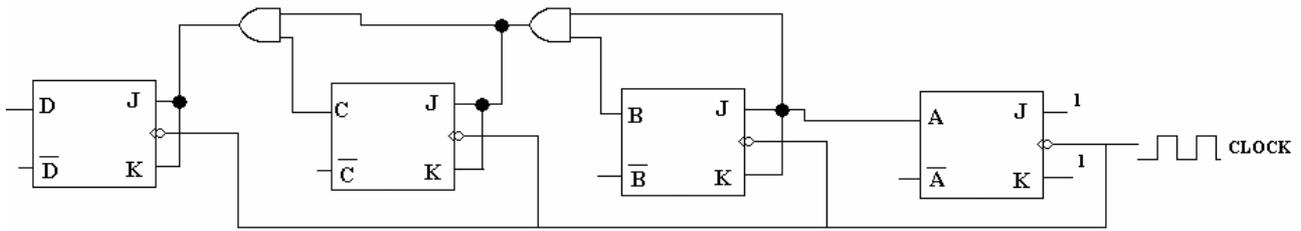


Per scegliere se usare oppure no un contatore sincrono o asincrono facciamo la seguente verifica

Se $t_{\text{clock}} \geq N \cdot t_{\text{pd}}$ allora possiamo usare il contatore ASINCRONO, altrimenti usiamo il sincrono

t_{pd} = tempo di propagazione dei flip flop
 N = numero di flip flop

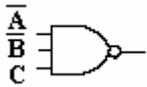
CONTATORE SINCRONO (o PARALLELO)



Guardate su libro contatore bidirezionale.

Per **visualizzare il risultato** di un conto si possono usare delle porte NAND.

Es. voglio che si accenda un led solo quando raggiunge il numero 8 (100). Allora metto una NAND che in uscita manda 0 quando arriva ad 8 (poi lo nego per accendere led)



Se invece deve solo resettare il contatore posso mettere una NAND con in ingresso solo le variabili che valgono 1 (in questo caso C) e collegare l'uscita sull'ingresso di Clear asincrono.

CONTATORI CON REGISTRO DI SCORRIMENTO

- Contatori ad anello

- Posso usare FF D o JK
- Di solito si fa scorrere un solo 1, quindi si inizializza con un solo 1 e tutti gli altri 0
- SVANTAGGI: se voglio contare fino a 10 devo prendere 10 FF
- VANTAGGI: non ho bisogno di porte di decodifica (quando l'1 sta in primo FF sto ad 1, quando sta in secondo sto a 2, e così via)
- Ogni segnale di uscita ha frequenza pari a $\frac{1}{n}$ dove n è il numero di FF (il contatore è MOD n)

- Contatore di Johnson

- Un contatore di Johnson ha MOD $2n$ dove n è il numero di FF implementati.
- Ciascun Flip flop ha in uscita un'onda quadra di frequenza $\frac{1}{2n}$
- VANTAGGI: Ho un numero di FF ragionevole
- SVANTAGGI: Ho comunque bisogno di una decodifica

Si può dimostrare (TEOREMA) che

Per qualunque contatore di Johnson MOD X, per ciascuno stato esiste una combinazione unica di 2 uscite che codificano quello stato; Cioè anche se ho MOD 20, combinazione di "Q per uno stato non si ripete più. Ovviamente bisognerà trovare quelle 2 uscite.

VANTAGGI

SVANTAGGI

PSEUDO N-MOS

- Per funzione ad N passaggi ho N+1 transistor
- Ogni ingresso rappresenta un solo carico
- C'è potenza dissipata statica dissipata
- Occorre carico attivo molto resistivo perché $\frac{W}{L}$ sia piccolo
- Transizione lenta

CMOS

- Potenza dissipata statica = 0
- V_{OH} e V_{OL} in condizioni stazionarie non dipendono da dimensionamento di transistor
- Posso rendere porta veloce quanto voglio (tramite $\frac{W}{L}$)
- Ampi margini di rumore
- Ho 2*N transistor
- Occupazione elevata di aree
- Ogni ingresso corrisponde a 1 ingresso di PMOS e 1 di NMOS, quindi ho 2 capacità d'ingresso

TTL

- Alta velocità di risposta
- Buone capacità di pilotaggio
- Alta dissipazione di potenza
- Fan out elevato

CONTATORI SINCRONI

- Consentono di evitare RITARDI di TRASMISSIONE del segnale da un FF ad un altro
- Possono operare a velocità più elevate degli ASINCRONI
- Struttura interna più complessa

CONTATORI ASINCRONI

- Sono i più semplici
- Abbiamo ritardi dell'uscita